

[Translation]

(19) Japan Patent Office (JP)

(12) Patent Release (A)

(11) Patent Application Release

Sho.61(1986)-133666

(43) Release Date: June 20, 1986

(51) Int.Cl ⁴	Identification No.	Agency Control No.
H 01 L 29/78		8422-5F
21/302		8223-5F
29/60		

Examination Request: Not yet requested
Items in Application: 1 (Total 4 pages)

(54) Name of Invention: Method of Manufacturing
Semiconductor Device

(21) Patent Application: Sho.59-255407

(22) Application Date: December 3, 1984

(72) Inventor: Susumu Yamasaki
c/o NEC, Ltd.
33-1 Shiba 5-chome
Minato-ku, Tokyo [Japan]

(71) Applicant: NEC, Ltd.
33-1 Shiba 5-chome
Minato-ku, Tokyo [Japan]

(74) Agent: Susumu Uchihara, Patent Attorney

Specifications

1. Name of Invention: Method of Manufacturing
Semiconductor Device

2. Scope of Patent Application

(1) In a method for manufacturing a semiconductor device that includes an insulated-gate field-effect transistor, a semiconductor manufacturing method which is characterized by including --

- a process that forms the gate electrode of the aforementioned insulated-gate field effect transistor,
- a process that forms an oxide film on the entire surface,
- a process that selectively forms a diffusion layer with a low impurity concentration, using the above-noted gate electrode as a mask,
- a process that forms and processes a silicate glass film consisting of phosphor-silicate glass or phosphor-silicate glass containing boron, and
- a process that dry-etches the entire surface of the above-noted silicate glass film to leave said silicate glass film only on the side surfaces of the above-noted gate electrode and so forms its sidewalls. *

(2) A manufacturing method for the semiconductor device described in Scope of Patent Application Item (1) in which the phosphorus concentration in the phosphor-silicate glass is 10 mole-percent or more, the boron concentration of the boron-containing phosphor-silicate glass is 5~15 mole-percent and phosphorus concentration is 4~10 mole-percent.

3. Detailed Explanation of Invention

Field for Commercial Utilization: This invention is one bearing on a method of manufacturing a semiconductor device that includes an insulated-gate type field effect transistor having an LDD (lightly doped drain) structure.

Usual Technology With the short-channeling of insulated-gate field-effect transistors (hereafter, MIS [metal-insulated semiconductor] transistors), hot carriers become easily injected into gate oxide film since the drain field has become higher, and so seriously degrade the traits. Especially noticeable are such trait fluctuations as in gm or N-channel MIS transistors' path-value [?? word not fully legible -- Translator] voltages due to hot electron injection. The LDD structure is one typical of ways for modifying a drain field by the device's structure and so reducing hot carrier injections.

Figures 2(a) and (b) are schematic cross-sectional diagrams to illustrate an example of the method of manufacturing the usual semiconductor device having an MIS transistor with an LDD structure. As shown in Figure 2(a), after making an n⁻ layer as a low-concentration diffusion layer, one uses CVD and RIE (reactive ion etching) to leave oxide film on gate electrode 3's side surfaces to form CVD-oxidized sidealls 5.

*[Bullets added by translator for ease of reading.]

Next, one forms n^+ layer 6 as a high-concentration diffusion layer, as shown in Figure 2(b). Here, one keeps n^- layer 4's voltage low between the effective source and drain so as to suppress hot-carrier injection into gate oxide film 10. In Figures 2(a) and (b), 1 is a P-type silicon substrate, 2 is a field oxide film and 9 is a thermal-oxide film.

Problems the Invention Seeks to Resolve

In this usual example of an LDD structure, the formatting of CVD-oxidized sidewall 5 must be done with extra RIE, considering the thickness variations in the CVD oxidized film on the [word illegible] and variations in intra-wafer etching by RIE. However, with over-etching the substrate will be etched in the source and drain regions and become the cause of source/drain junction leaks. Short-channeling of an MIS transistor is a problem in having junction leaks occur more easily the shallower the junction is.

So, this invention's aim is to resolve the above problems by providing a method of manufacturing a semiconductor device that includes forming sidewalls on its gate electrode so that the transistor traits will not degrade even if over-etched by RIE, and includes an MIS transistor with the LDD structure.

Means to Resolve the Problems: In a method for fabricating a semiconductor device containing an insulated-gate field effect transistor, this invention's method of manufacturing a semiconductor device has a process to form a gate electrode of the above-noted MIS field-effect transistor, a process to form an oxide film over the entire surface, a process to selectively form a diffusion layer with a low concentration of impurity, using the above-noted gate electrode as a mask, a process to form and heat-process a silicate glass film consisting of phosphor-silicate glass or phosphor-silicate glass containing boron, and a process to dry etch the entire surface of the above-noted silicate glass film so as to leave it only on the side surfaces of the above-noted gate electrode as a sidewall.

Application Example

Below I will explain an application example of this invention while referring to the figures.

Figures 1(a)~(d) is a schematic cross-sectional diagram of the device to explain one application example of this invention.

As in Fig. 1(a), on P-type silicon substrate 1 one uses normal methods to form field oxidized film 2 and oxidized gate film 10, to form gate electrode 3 by patterning, e.g., a polysilicon layer, and also forms thermal-oxide film 9 over the entire surface. After that one uses ion-injection with gate electrode 3 as a mask to form n^- film 4 as a diffusion layer with a low impurity concentration. Next one forms PSG (phosphor-silicate glass) film 7 containing a high phosphorus concentration, e.g., 10 mole-percent or more.

Usually, instead of PSG film 7 with its high phosphorus concentration, a CVD-oxidized film is used, as shown in Figures 2(a) and (b); but the enroachment (overhang) of a CVD-oxidized film such as shown in Figure 1(a) can intrude on the sides of gate electrode 3. Such overhang will become a big problem if the sidewalls are very narrow. On the other hand, with high-phosphorus PSG film the same kind of overhang is seen after film deposition as with CVD-oxidized film. But after the PSG film is deposited, one can do thermal treatment for instance 5~10 minutes in a steam environment at 800~900°C as shown in Figure 1(b) to make PSG film 7 sag and fully embed the above-noted overhang.

Next, as shown in Fig. 1(c), one etches the entire surface by RIE to form PSG sidewalls 8. Since a high concentration of phosphorus is now contained in PSG film 7, one can make the niching selectivity ratio of thermal-oxide film 9 some 1:4 to 1:5 by choosing the dry etching conditions. The higher the phosphorus concentration in PSG film 7, the higher one can make the selectivity ratio. Also, when using the usual CVD-oxidized film as a sidewall, whereas the selectivity ratio with underlying thermal-oxide film 9 is nearly 1:1, it is 1:4 to 1:5 with PSG film 7. So, no damage is done to the surface of the underlying silicon substrate by over-etching, nor are junction leaks to be seen.

Then, as shown in Fig. 1(d), one forms n^+ layer 6 as a high-concentration diffusion layer. Next one successively forms the element separator film [? Assumed from unclear word--Translator], a contact hole and electrode.

PSG sidewall 8, with its high phosphorus concentration, has a marked porosity, so that it is desirable to remove it after forming n^+ layer 6. If an etching solution made up of $\text{HF}:\text{H}_2\text{O}$ = a ratio of 1:50 or 1:60 is used for removal by etching, one can make the etching rate of underlying thermal-oxide film 9 to PSG sidewalls 8 1:50 or 1:60 and so can remove just PSG sidewalls 8 with scarcely any reduction in the thickness of field oxide film 2, et al.

In the above application example I used PSG film; but the same effects can be obtained also by using boro-phosphor-silicate glass (BPSG) with a boron concentration of 5~15 mole-percent and phosphorus concentration of 4~10 mole-percent.

Effectiveness of Invention: As explained above in detail, this invention employs the above means by which one can manufacture a high-throughput, high-reliability semiconductor device which contains an insulated-gate field-effect transistor with an LDD structure and little occurrence of junction leaks.

4. Simple Explanation of Figures

Figures 1(a)~(d) and 2(a) and (b) are respectively schematic cross-sectional diagrams to explain the fabrication of one application example of this invention and of the usual case.

- 1 ... P-type silicon substrate
- 2 ... Field oxide film
- 3 ... Gate electrode
- 4 ... n^- layer
- 5 ... CVD-oxidized film sidewalls
- 6 ... n^+ layer
- 7 ... PSG film
- 8 ... PSG film sidewalls
- 9 ... Thermal-oxide film
- 10 ... Gate oxidized film

Agent: Susumu Uchihara, Patent attorney



JAPANESE PATENT OFFICE

US4628012
FOR
JP61133555

PATENT ABSTRACTS OF JAPAN

Explosion-proof, hermetically sealed galvanic cell

Publication date: 1986-12-09

Inventor(s): SPAHRBIER DIETER (DE)

Applicant(s): VARTA BATTERIE (DE)

Application Number: US19850799945 19851120

Priority Number(s): DE19843443453 19841129

IPC Classification:

EC Classification: H01M2/02B6B, H01M2/12

Equivalents: CA1264803, DE3443453, EP0184648, B1, IL77025

Abstract

In a hermetically sealed cell, the housing is formed by two metal cylinders which are each closed at one end and which are pushed over one another to obtain a press-fit such that, with the interposition of an intermediate insulating layer made from a plastic material, the cylinder which forms the lid of the cell can be pushed off from the cylinder which forms the can of the cell only in response to a predetermined internal pressure. High internal pressures which are lower than the bursting pressure for the cell, generated by the excessive release of gases or vapors, are permitted to escape through vent holes, if necessary, which become exposed in increasing number after being uncovered during separation of the lid from the cup.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-133555

⑤ Int. Cl.⁴

H 01 M 2/12

識別記号

1 0 1

庁内整理番号

6728-5H

⑬ 公開 昭和61年(1986)6月20日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 防暴性密閉電池

⑯ 特 願 昭60-267623

⑰ 出 願 昭60(1985)11月29日

優先権主張 ⑱ 1984年11月29日 ⑲ 西ドイツ(DE) ⑳ P3443453.4

㉑ 発 明 者 デイター・スパール ドイツ連邦共和国ケルクハイム・フィツシュバツハ・タウ
ビール ヌスブリック 9

㉒ 出 願 人 ヴアルタ・バッテリー ドイツ連邦共和国ハノーヴァー21・アム・ライネウーフア
ー・アクチエンゲゼル ー 51
シャフト

㉓ 代 理 人 弁理士 矢野 敏雄 外1名

明 細 書

1 発明の名称

防暴性密閉型電池

2 特許請求の範囲

1. 燃発の危険性に対して安全策が講じられ、密閉された金属ケーシングを備えた電池において、該金属ケーシングが片筒が閉じている第1円筒(1)と片筒が閉じている第2円筒(2)から形成されており、第1円筒(1)と第2円筒(2)とのオーバーラップを有しかつプラスチック製の納縁部(4)が中間配設されている円筒(1)及び(2)が所定の高さの内圧によつてのみ相互に滑動可能であるように相互にプレス嵌めされており、かつ第1円筒(1)の壁がオーバーラップ区域に少なくとも1箇の弁孔(5)を有していることを特徴とする防暴性密閉型電池。
2. 弁孔(5)がオーバーラップ区域の下端近くに設けられている特許請求の範囲第1項記載の電池。

3. 他の弁孔(5)が第1円筒(1)の壁中にオーバーラップ区域の下端から同じか又は異なる距離に存在する特許請求の範囲第2項記載の電池。

4. 弁孔(5)がオーバーラップ区域の下端からの距離と共にその径が増して分布している特許請求の範囲第3項記載の電池。

5. 中間配設された納縁部(4)が第1円筒(1)を包囲する取締チューブである特許請求の範囲第1項から第4項までのいずれか1項記載の電池。

6. 中間納縁部(4)は第1円筒(1)の外側面か又は第2円筒(2)の内面のプラスチック層より成る特許請求の範囲第1項から第5項までのいずれか1項記載の電池。

7. 中間納縁部(4)が、第1円筒(1)の開放端を越えて重なっておりかつ円筒(1)の外側の少なくともオーバーラップ区域を包囲する開放プラスチックキャップより形成されている特許請求の範囲第1項から第5項まで

のいずれか1項記載の電池。

8. オーバーラップ区域の長さとかーシング直径との比が1:1~1:4である特許請求の範囲第1項から第7項までのいずれか1項記載の電池。
9. 円筒状ケーシングがプラスチック貼合せ金属箔(7, 8)により包囲されている特許請求の範囲第1項から第8項までのいずれか1項記載の電池。
10. 外側の円筒の端面が少なくとも1個の切り欠き(9)を有する特許請求の範囲第1項から第9項までのいずれか1項記載の電池。

3 発明の詳細な説明

産業上の利用分野

本発明は、燃発の危険性に対して安全策が講じられている、密閉された円筒状の金属ケーシングを備えた電池に関する。本発明は、液体電解質を含有し、それ故液密性に閉鎖されている場合に、電気化学的な一次電池並びに二次電池に適用することができる。

(3)

球体は通路口の上方で低い変形度で断しいパッキング位置を占め、これは少なくとも過圧の放出を排気口を通して可能にする。

西ドイツ国特許出願公告第2620466号明細書から公知の脱ガス装置では、閉鎖部が融接着性工材より成り、この工材が腔部中に貫通している排気口を塞ぎかつ更に腔部の舟形の端に接着する。相応して高い固定圧に達したら、工材は腔部の排気口を通して流出し、かつ過圧は電池内部から外部に向つて解消される。

他の公知の装置、例えば英特許第1445043号明細書によれば電池ケーシングに耐破裂性のために所定破断位置を設けておく。

常用の作動条件下の電池の燃発は極めてまれに起るが、例えば電池をわざと又は不注意に火の中に投げ入れたり又は一次電池が許容されない程負荷される場合も考慮しなければならない。発明が解決しようとする問題点

それ故本発明は、冒頭に挙げた最良の電池に関して、最小の構造上の経費で、高まった内圧

従来の技術

耐燃れ性にケーシングが密閉された電池を規定に則つて使用しなかつたり又はそれが非常に強い電荷、過熱等のような著しい負荷を受ける場合に、一般に耐燃れ性は電池が不自然に破壊される危険性を内包している。その結果として、異常な内部のガス-又は蒸気圧が生じ、最後にはこの内圧は電池ケーシングの燃発により解消される。

それ故、燃発を回避する多くの公知の手段は感圧性装置を基礎とする。例えば、西ドイツ国特許公開第3206607号明細書によれば密閉型電池の蓋上に尖鋭なネジを設置し、その蓋が電池の内圧の結果膨張する際にネジがその蓋に貫通してその内容物が押出される。

英特許第1336567号明細書からはアルカリ電池の放出弁が明らかであり、この場合強く変形するエラストマー製球体がプレス嵌めでガス路を閉鎖し、球体はそのガス路から著しい高圧によつてのみ押し出される。更に、この

(4)

による電池の燃発を確実に回避する閉鎖装置を開示するという課題をベースとする。

問題点を解決するための手段

本発明によれば、この課題は特許請求の範囲第1項の特徴部分に記載の手段により解決される。

実施例

次に、本発明による目的を添付図面につき詳説する。

第1図に図示したケーシングの基本形では、片側で閉じられた容器としての第1円筒1及び点接合された腔部リード部3を備えた蓋としての片側で閉じられた第2円筒2がプラスチック製腔部4の中間配置下に、蓋2が強く高められた内圧の作用を受ける場合にのみ容器1から押しのけられるようにプレス嵌めされている(腔部物質を中心に配置した電池の内部構造は図示しなかつた)。容器の腔中に、蓋がオーバーラップしている区域でレーザーにより例えば直径0.1mmの弁孔51個又は数個を穿孔する。

しかし有利には孔徑を容器を囲うプラスチック絶縁部4の厚さより小さくすべきである。少なくとも1個の孔はオーバーラップしている区域の下端近くに設けるべきである。第2図によれば、他の孔はオーバーラップ区域の下端から更に隔れて存在してよく、その際に第3図に図示したような分布が特に有利であり、つまり孔の径はオーバーラップ区域の下端からの距離が大きくなるのに伴って増加する。

更に、第1図では、蓋2の突出部とバランスをとるための厚さ約0.3mmである容器貼合せ部6が設けられている。この上に仕上げ部としてケーシング全体を包囲するプラスチック箱7及びラベルを付けるためのキャリアとしての金箔箱8が設けられている。殊に、金箔箱は厚さ約0.05mmのアルミニウム箔であり、プラスチック箱の厚さは約0.1mmである。別々の箱7及び8の代りに、プラスチックを貼合せた金箔箱、最も簡単なのは金箔箱を単独で使うことができる。

(7)

ユープにより全面包囲することにより容器が他の電池と金属的に接触するのが回避され、それにより短絡が避けられる。

本発明によれば、絶縁するための他の可能性としては射出成形部材の形の開放されているプラスチックキャップが挙げられており、このキャップは第1円筒にその開放端部で支持されかつその円筒の外面を少なくとも、後からのオーバーラップ区域が囲われている程度に包囲する。

電池製品において許容されない極高い内圧が生じた場合に、電池は第2円筒2が第1円筒1から押しのけられることにより第1円筒に感応する。膨張運動はその場の圧縮圧及びプラスチック/金属の摩擦抵抗により初めは緩慢に行なわれる。しかしサイドスリッパする円筒の蓋が弁孔を次々と開放し、かつ過剰分のガスが、場合によつては少量の電解質もまた初めは絶縁部4、その後金属が貼合されているプラスチック箱7、8に徐々に浸透しかつその端部で流出するのを可能にする。それにもかかわらず圧力が

(9)

しかしプラスチック箱の利点は、本来のパッキング距離(オーバーラップ区域)を越えて延びている端面距離の延長部と低められた透過性である。

絶縁部4の材料としては、常用のパッキング用プラスチック、例えばポリプロピレン、ポリエチレン、ポリプロピレン共重合体、ポリアミド、ナイロン、更にまたゴム又は炭素化炭化水素重合体、その中ではポリテトラフルオロエチレンが該当する。第1円筒(容器)1の外面と第2円筒(蓋)2の内面に相応するプラスチック層が設けられる。

場合により層を施すに当り例えば第2図では絶縁部4として収縮チューブの使用が有利であるとして挙げられ、容器1のオーバーラップ部分を例えば球体リング(Kugelkranz)で巻くことによりその直径を簡単に小さくすることができ、それにより蓋2と一致になる端面が得られる。しかしこの場合には、陰極物質を予め容器壁中に取り付けると有利である。容器を収縮テ

(8)

発生する場合、蓋2は更に押し上げられて他の新しい孔5が開放される。これにより、“必要に応じて”圧力調節が行なわれる。それ故、弁孔は、蓋のはずれが大きくなる程作用する。弁孔5はいわば過剰のバイパスを形成する。しかし限界の場合は爆発が起る前に、調節された圧力で蓋2を“飛び去らせる”だけで電池の圧力を解放した。このようにして、爆発的破壊は回避される。

本発明による電池を機能に適合させて組立てるには、活物質を非圧縮性ケーシング中に封入する際にまだ爆発が起らない仮の最大負荷(温度に相応する電解質蒸気圧、通常の充電率を数倍高めた場合のガス圧)におけるその都度ベースとなる電気化学系の限界挙動だけを知る必要がある。そのような限界値は、実験的に簡単に測定することができる。その後、本発明による円筒ケーシングの径ど合せは相応する成形圧に行ない、成形工程の終結時にこのプレス圧とは一定のオーバーラップ度が一致する。オーバー

(10)

ラップ度には、パッキングプラスチックとケーシング金属との間の静止摩擦も一層に關係し、静止摩擦に關しては静止摩擦係數に關する基準値 μ_0 が要から明らかである。

円筒の大きさが変わらない場合、選択されるオーバーラップ度は開放圧に比例する。電池の直径をより大きくする際には、不変の単位内圧に対して同じ閉鎖力を加えるためにオーバーラップ区域を大きくすべきである。このことから一般的な規則として、円筒1と2のオーバーラップはオーバーラップ区域の長さとして測定してケーシングの直径に比例することが明らかであり、本発明によればオーバーラップ/ケーシングの直径の比は1:1~1:4である。

この特別な閉鎖装置により、制御し得ない容器の破裂をもたらす著しく高い過圧が誤った操作(充電実験、閉塞し得ない加熱)により生じることなく、どの圧力で及び容器のどの位置で押し上げるかが決められている。

ケーシングの円筒相互の滑動分離は両方の円

(11)

うに選択されている場合である。この場合、円筒体は静止摩擦を失うので低い内圧で既に相互に滑動し、同じ電池が室温では著しく高いガス圧、例えば30パーセントまでのガス圧に抵抗性である。それ故、同じ電池が、相互に左右されない内圧の最高値と温度の最高値に反応しかつ開放することができる。

4 図面の簡単な説明

第1図は本発明による電池のケーシングの縦断面図、第2図は他の形状のケーシングの縦断面図、第3図は第2図によるケーシングの容器としての円筒を内面から示した図である。

1...第1円筒、2...第2円筒、4...絶縁部、5...弁孔、7...プラスチック箱、8...金属箱、9...切り欠き

筒が完全に分離するまで行なわれる必要がない。それというのも、容器中に元素存在する小さなむだ容積が微かに大きくなるだけで既に圧力の解放が始まるからである。それ故、押しのけ運動が停止する。

本発明により第2円筒2の蓋に切り欠き91個又はそれ以上を設ける場合にケーシングの破壊は全く起り得ない。これは任意に成形することができ、一番簡単にはスリット状であり、殊に円筒の軸に平行に設ける。この変形により蓋2の弾性特性が変化しかつ蓋2は電池内が過圧である場合には一時的に若干円周が拡大し得る。それ故、プラスチックパッキングの面圧力も若干低下しかつ圧力の解放が行なわれる。それ故、この実施例の本発明によるパッキング装置は再閉鎖する逆作用と同様に作用する。

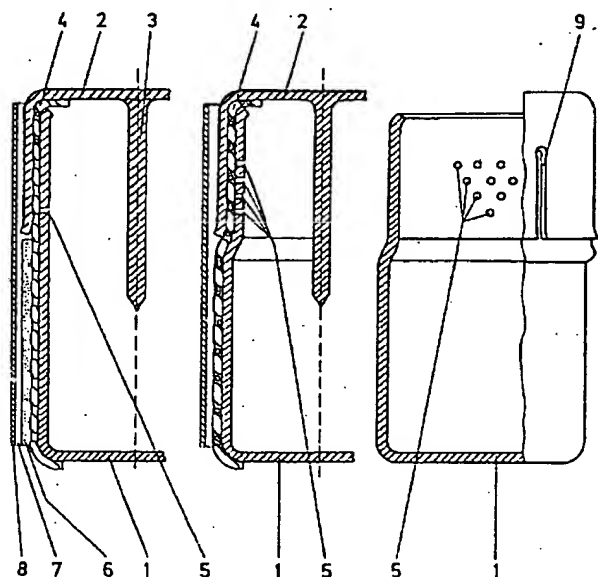
最後に、本発明による電池の開放機構は、著しい温度上昇の場合にも機能する。つまりパッキング材料がその熱挙動の点で、所定の温度、例えば使用した電解液の凝固温度で軟化するよ

(12)

Fig.1

Fig.2

Fig.3



- 1... 第1円筒
- 2... 第2円筒
- 4... 絶縁部
- 5... 弁孔
- 7... プラスチック箱
- 8... 金属箱
- 9... 切り欠き

代理人 弁理士 矢野 誠 雄



(13)